

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
24. Dezember 2003 (24.12.2003)

PCT

(10) Internationale Veröffentlichungsnummer
WO 03/107417 A1

(51) Internationale Patentklassifikation: H01L 23/31,
21/56

(21) Internationales Aktenzeichen: PCT/DE03/01925

(22) Internationales Anmeldedatum:
10. Juni 2003 (10.06.2003)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102 27 059.7 17. Juni 2002 (17.06.2002) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): INFINEON TECHNOLOGIES AG [DE/DE]; St.-
Martin-Strasse 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): ZACHERL, Juer-
gen [DE/DE]; Jahnstrasse 2, 93093 Donaustauf (DE).

BLASZCZAK, Stephan [DE/DE]; Strasse des Friedens
9a, 06632 Freyburg (DE). REISS, Martin [DE/DE];
Roritzer Strasse 13, 93047 Regensburg (DE). LUDEWIG,
Sylke [DE/DE]; Reichenbachstrasse 66, 01217 Dresden
(DE).

(74) Anwalt: HUDLER, Frank; Patentanwälte Lippert, Sta-
chow, Schmidt & Partner, Krenkelstrasse 3, 01309 Dresden
(DE).

(81) Bestimmungsstaaten (national): JP, KR, SG, US.

(84) Bestimmungsstaaten (regional): europäisches Patent
(DE, FR, GB, IE, IT, PT).

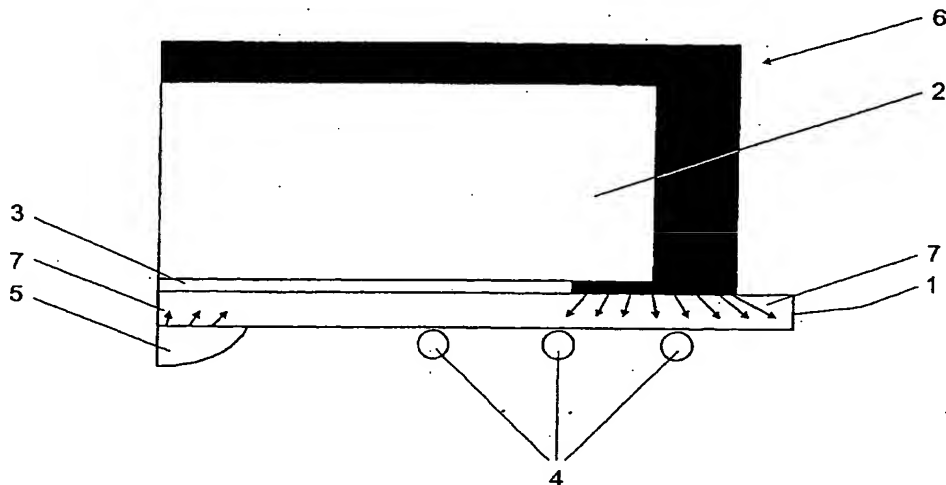
Veröffentlicht:

- mit internationalem Recherchenbericht
- vor Ablauf der für Änderungen der Ansprüche geltenden
Frist; Veröffentlichung wird wiederholt, falls Änderungen
eintreffen

[Fortsetzung auf der nächsten Seite]

(54) Title: PACKAGING FOR SEMICONDUCTOR COMPONENTS AND METHOD FOR PRODUCING THE SAME

(54) Bezeichnung: VERPACKUNG FÜR HALBLEITERBAUELEMENTE UND VERFAHREN ZUM HERSTELLEN DERSEL-
BEN



(57) Abstract: The invention relates to a packaging for semiconductor components such as FBGA packages in BOC technology or the like, wherein at least the back and the lateral edges of a chip (2) mounted on a substrate are enclosed by a mold coating (6), the casting compound used for the mold coating (6) being linked with the substrate and forming an integrated whole therewith. The invention further relates to a method for producing such a packaging for semiconductor components. The aim of the invention is to provide a packaging for semiconductor components which is characterized by reduced thermomechanical stress and at the same time a substantially improved adhesion of the mold coating to the substrate, thereby allowing for a higher package load. According to the invention, this aim is achieved in that the substrate (1), at least in some areas, has a spongy structure (7) that is provided with pore-type openings and that extends from the surface to the depths of the structure so that the molding material penetrates the substrate (1) by capillary attraction.

[Fortsetzung auf der nächsten Seite]

WO 03/107417 A1



Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) Zusammenfassung: Die Erfindung betrifft eine Verpackung für Halbleiter-Bauelemente, wie FBGA-Packages in BOC-Technologie o.dgl., bei denen mindestens die Rückseite und die Seitenkanten eines auf einem Substrat montierten Chips (2) durch eine Moldabdeckung (6) umschlossen sind, wobei die für die Moldabdeckung (6) verwendete Vergussmasse mit dem Substrat, eine kompakte Einheit bildend, verbunden ist. Die Erfindung betrifft ferner ein Verfahren zum Herstellen einer derartigen Verpackung für Halbleiter-Bauelemente. Durch die Erfindung soll eine Verpackung für Halbleiterbauelemente geschaffen werden, mit der eine deutlich höhere Packagebelastung durch geringeren thermomechanischen Stress und gleichzeitig eine deutlich bessere Haftung der Moldabdeckung auf dem Substrat erreicht wird. Erreicht wird dies dadurch, dass das Substrat (1) zumindest partiell eine schwammartige mit porenförmigen Öffnungen versehene und von der Oberfläche in die Tiefe gehende Struktur (7) aufweist, so dass Moldmaterial durch Kapillarwirkung in das Substrat (1) eindringen kann.

DT18 Res'd PCT/PTO 11 7 DEC 2004
10/518141

5

10 **Verpackung für Halbleiter-Bauelemente und Verfahren zum Her-**
stellen derselben

Die Erfindung betrifft eine Verpackung für Halbleiter-
Bauelemente, wie FBGA-Packages in BOC-Technologie o.dgl., bei
15 denen mindestens die Rückseite und die Seitenkanten eines auf
einem Substrat montierten Chips durch eine Moldabdeckung um-
schlossen sind, wobei die für die Moldabdeckung verwendete Ver-
gussmasse mit dem Substrat, eine kompakte Einheit bildend, ver-
bunden ist. Die Erfindung betrifft ferner ein Verfahren zum
20 Herstellen einer derartigen Verpackung für Halbleiter-
Bauelemente.

Bei einer Reihe von Bauelementen, wie BOC-Bauelementen oder
auch bei CSP (Chip Size Package)-Bauelementen, FBGA -(Fine
25 Pitch Ball Grid Array)-, TBGA-(Tape Ball Grid Array)- oder
 μ BGA-Bauelementen o.dgl., werden die Chips auf Substraten mon-
tiert, deren Abmessungen etwa denen der zu montierenden Chips
entsprechen. Die unterschiedlichen Bezeichnungen sind zum Teil
herstellertypische Angaben und kennzeichnen Unterschiede bzw.
30 Feinheiten im Strukturaufbau. Im Interesse einer möglichst ge-
ringen Bauhöhe werden bei einigen Bauelementen die Chiprücksei-
ten nicht abgedeckt, sondern höchstens lediglich die besonders
empfindlichen Chipkanten durch eine Moldmasse umschlossen.
Letzteres erfolgt durch Dispensen einer geeigneten Moldmasse
35 (Vergussmasse) um die Chipkanten herum. Soll auch die Chiprück-

seite zusätzlich mit geschützt werden, müssen aufwändige Druck- oder Gießverfahren eingesetzt werden. Es versteht sich, dass die verschiedenen verwendeten Materialien für das Substrat, das Chip und die Vergussmasse teilweise erheblich unterschiedliche mechanische Eigenschaften und insbesondere unterschiedliche thermische Ausdehnungskoeffizienten besitzen. Für das Substrat kommen die gängigen Leiterplattenmaterialien, wie Hartpapier- oder Glasfasermaterialien zum Einsatz, bei denen als Bindemittel üblicherweise Kunstharz verwendet wird.

Beispiele derartiger Halbleiterbauelemente finden sich in der US 5 391 916 A, in der ein Halbleiterbauelement beschrieben wird, dass mit einer Vergussmasse versehen ist, oder in der US 5 293 067 A, in der ein spezieller Chipträger für ein Chip on Board (COB) Bauelement beschrieben wird, um den mechanischen Stress zu reduzieren.

Durch geeignete Materialwahl lassen sich die Ausdehnungskoeffizienten in gewisser Weise so aufeinander abstimmen, dass der Unterschied der Ausdehnungskoeffizienten zwischen der jeweiligen Materialpaarung möglichst gering wird.

Es besteht jedoch kaum die Möglichkeit einer vollkommenen Anpassung. Das hat besonders bei BOC- bzw. COB-Bauelementen die fatale Folge, dass diese, wenn diese mit einer zusätzlichen Moldabdeckung geschützt werden, beim normalen Gebrauch einem extremen Stress unterworfen werden. Dieser Stress beruht im wesentlichen auf dem „Bimetalleffekt“, welcher sich ergibt, wenn unterschiedliche Materialien mit unterschiedlichen Ausdehnungskoeffizienten schichtweise zusammengefügt werden.

Um wenigstens den Stress zwischen dem Substrat und dem Chip zu reduzieren, erfolgt deren Montage auf dem Substrat üblicherweise unter Zwischenlage eines thermische Spannungen ausgleichenden Tapes. Auf jeden Fall bestehen dann immer noch zwischen den unmittelbar miteinander in Kontakt stehenden Materialpaarungen

Si-Chip/Moldmasse und Moldmasse/Substrat deutliche Differenzen der jeweiligen Ausdehnungskoeffizienten. Im ungünstigsten Fall kann es dabei zu einer Trennung der Verbindung und damit möglicherweise zum Totalausfall des Bauelementes kommen.

5

Bisher wurden, wie eingangs bereits erwähnt, verschiedene aufwändige Verfahren zum Schutz der Chips durchgeführt. So zum Beispiel Dispensen, um die besonders empfindlichen Chipkanten zu schützen, oder Drucken bzw. Molden, um einen kompletten Schutz des Chips einschließlich dessen Rückseite zu erreichen. Die Auswirkungen der thermomechanischen Spannungen zwischen den Materialpaarungen konnten jedoch nicht, bzw. nicht ausreichend behoben werden, so dass mit Stress bedingten Bauelementeausfällen immer gerechnet werden muss. Lösungsansätze, wie Material- und Designänderungen und ein Tapeunterstand verursachten jedoch andere Probleme, wie unabgedeckte Fuses.

10

15

20

25

30

35

Der Erfindung liegt daher die Aufgabe zugrunde, eine Verpackung für Halbleiterbauelemente zu schaffen, mit der eine deutlich höhere Packagebelastung durch geringeren thermomechanischen Stress und gleichzeitig eine deutlich bessere Haftung der Moldabdeckung auf dem Substrat erreicht wird.

Die der Erfindung zugrundeliegende Aufgabenstellung wird bei einer Verpackung der eingangs genannten Art dadurch gelöst, dass das Substrat zumindest partiell eine schwammartige mit porenförmigen Öffnungen versehene und von der Oberfläche in die Tiefe gehende Struktur aufweist, so dass Moldmaterial durch Kapillarwirkung in das Substrat eindringen kann.

Durch diese besonders einfache Lösung lässt sich der Ausdehnungskoeffizient des Leiterplattenmaterials an den Ausdehnungskoeffizienten des Moldmaterials weitgehend anpassen. Dadurch wird das bruchempfindliche Halbleiterchip von allen Seiten gleichmäßig durch Spannungen beaufschlagt und kann sich nicht mehr nur in einer Vorzugsrichtung verbiegen. Ein weiterer

Vorteil ist darin zu sehen, dass durch den geringeren Stress höhere Packagebelastungen ermöglicht werden.

Weiterhin wird durch die Erfindung eine wesentlich höhere Haftung des Abdeckmaterials auf dem Substrat erreicht, da beide Materialien gewissermaßen miteinander verwachsen.

Um die Herstellung des erfindungsgemäßen Substrates möglichst kostengünstig zu gestalten, weist die gesamte Oberfläche des Substrates eine schwammartige Struktur auf.

Es ist selbstverständlich auch möglich, dass das Substrat insgesamt eine schwammartige Struktur aufweist. Dadurch kann besonders viel Moldmaterial in das Substrat eindringen, mit dem Ergebnis, dass eine besonders gute Anpassung der thermischen Ausdehnungskoeffizienten erreicht wird.

Die schwammartige Struktur kann einfach durch partielles Entfernen des Epoxydharzanteiles im Substrat erzeugt werden, indem Nass- oder Trockenätzverfahren eingesetzt werden.

Um das Nass- oder Trockenätzen auf bestimmte Bereiche des Substrates zu beschränken, kann dieses teilweise mit einer Lötstoppmaske abgedeckt werden.

Es ist auch möglich, die schwammartige Struktur durch mechanische Oberflächenbearbeitung des Substrates herzustellen. In diesem Fall wäre der schwammartige Bereich allerdings nur auf den unmittelbar oberflächennahen Bereich des Substrates begrenzt.

Um ein möglichst tiefes Eindringen des Moldmaterials in das Substrat zu erreichen, wird die Struktur, bestehend aus dem auf dem Substrat fertig montierten Halbleiterchip, vor dem Aufbringen der Moldabdeckung mindestens auf die Schmelztemperatur der Moldmasse vorgewärmt.

Alternativ oder zusätzlich kann die Struktur, bestehend aus dem auf dem Substrat fertig montierten Halbleiterchip, nach dem Aufbringen der Moldabdeckung kurzzeitig getempert werden.

Das Tempern wird bevorzugt bei einer Temperatur um die Schmelztemperatur der Moldmasse, oder geringfügig über der Schmelztemperatur vorgenommen, um eine möglichst große Eindringtiefe zu erreichen.

Eine besondere Ausgestaltung der Erfindung ist dadurch gekennzeichnet, dass das Substrat vor der Montage des Chips partiell mit einer dünnen Schicht Moldmasse beschichtet und anschließend bei einer Temperatur um oder über der Schmelztemperatur getempert wird. Das Aufbringen der Moldmasse kann einfach durch Drucken oder Dispensen erfolgen. Der Tempervorgang kann sowohl unmittelbar nach dem Aufbringen der Moldmasse, oder nach dem Aufbringen der Moldabdeckung nach Abschluss des Montagevorganges vorgenommen werden.

Diese Ausgestaltung der Erfindung hat den Vorteil, dass die Substrate vorbehandelt werden können, ohne dass der technologische Ablauf des Montagevorganges beeinflusst wird.

Die Erfindung soll nachfolgend an einem Ausführungsbeispiel näher erläutert werden. In den zugehörigen Zeichnungen zeigen:

Fig. 1 eine schematische Schnittdarstellung eines BOC-Bauelementes (Stand der Technik);

Fig. 2 eine schematische Darstellung einer erfindungsgemäße Verpackung für ein BOC-Bauelement; und

Fig. 3 ein partiell mit einer Moldmasse beschichtetes und getempertes Substrat.

Um die Wirkungsweise der Erfindung gut darstellen zu können, wird zunächst der Strukturaufbau eines üblichen BOC-Bauelementes beschrieben. Fig. 1 zeigt ein derartiges nach dem Stand der Technik aufgebautes BOC-Bauelement in schematischer Darstellung. Die Grundlage für dieses Bauelement bildet ein Substrat 1, das aus den gängigen Leiterplattenmaterialien, wie Hartpapier- oder Glasfasermaterialien besteht, bei denen als Bindemittel üblicherweise Kunstharz eingesetzt wurde.

Auf diesem Substrat 1 ist ein Chip 2 unter Zwischenlage eines Tapes diegebondet. Die Unterseite des Substrates 1 ist mit nicht dargestellten Leitbahnen versehen, die einerseits mit Solderballs 4 und andererseits über übliche, nicht dargestellte Mikrodrähte mit dem Chip 2 verbunden ist, die durch einen zentralen Kanal im Substrat 1 verlaufen. Dieser zentrale Kanal ist zum Schutz der Mikrodrähte und der aktiven Seite des Chips 2 mit einem Bondkanalverschluss 5 aus einem Moldmaterial (Ver- gussmasse) verschlossen. Die Rückseite des Chips 2 (in Fig. 1 oben) und die Chipkanten sind durch eine Moldabdeckung 6 umschlossen, wobei die Moldabdeckung 6 seitlich des Chips 2 mit der Oberfläche des Substrates 1 durch Adhäsion verbunden. Die Moldabdeckung kann durch Drucken oder Dispensen hergestellt werden.

Ein derartiges Bauelement zeigt nun die eingangs beschriebenen Nachteile infolge der unterschiedlichen Ausdehnungskoeffizienten und mechanischen Eigenschaften der einzelnen Komponenten, die unmittelbar miteinander in Kontakt stehen. Hier setzt nun die Erfindung an.

Um eine weitgehende Anpassung der Ausdehnungskomponenten des Moldmaterials und des Substrates und eine deutliche Verbesserung der Haftkraft zwischen Moldmasse und Substrat 1 zu erreichen, wird das Substrat 1 derart vorbehandelt, dass zumindest dessen oberflächennaher Bereich eine in die Tiefe gehende

schwammähnliche Struktur erhält, in die das Moldmaterial beim Molden eindringen kann. Dieser Zustand ist in Fig. 2 dargestellt.

5 Die schwammartige Struktur 7 des Substrates 1 kann durch partielles Entfernen des Epoxydharzanteiles erzeugt werden, indem Nass- oder Trockenätzverfahren eingesetzt werden. Dieses Nass- oder Trockenätzen kann bedarfsweise auf bestimmte Bereiche des Substrates 1 beschränkt werden, indem diese teilweise mit einer
10 Lötstopmmaske abgedeckt werden.

Selbstverständlich kann die schwammartige Struktur 7 auch durch mechanische Oberflächenbearbeitung des Substrates hergestellt werden, wobei hier der schwammartige Bereich allerdings nur auf
15 den unmittelbar oberflächennahen Bereich des Substrates 1 begrenzt wäre. Auf jeden Fall wird hier zumindest ein Übergangsbereich geschaffen und eine deutliche Verbesserung der Haftkraft des Moldmaterials auf dem Substrat erreicht.

20 Anstelle der nachträglichen Bearbeitung des Substrates 1 kann selbstverständlich auch ein Substrat 1 eingesetzt werden, welches bereits bei dessen Herstellung eine schwammähnliche Struktur erhalten hat. Solche Substrate können auch aus einem Sintermaterial bestehen, bei dem nach dem Sintern durch Glühen
25 Hohlräume erzeugt werden. Das lässt sich einfach dadurch realisieren, dass dem Sintermaterial Kohlenstoffhaltige Partikel geeigneter Größe beigemischt werden. Diese Partikel verbrennen dann beim Glühen und erzeugen die gewünschten Hohlräume im Substrat 1.

30 Um ein möglichst tiefes Eindringen des Moldmaterials in die schwammartige Struktur 7 des Substrates 1 zu erreichen, wird die Struktur, bestehend aus dem auf dem Substrat 1 fertig montierten Chip 2, vor dem Aufbringen der Moldabdeckung 6 mindestens auf die Schmelztemperatur der Moldmasse vorgewärmt. Alternativ oder zusätzlich kann die Baugruppe nach dem Aufbringen
35

der Moldabdeckung 6 bei einer Temperatur um die Schmelztemperatur der Moldmasse oder geringfügig darüber getempert werden.

5 Eine Alternative besteht darin, das Substrat 1 vor der Montage des Chips 2 partiell mit einer dünnen Schicht Moldmasse zu beschichten und anschließend bei einer Temperatur um oder über der Schmelztemperatur der Moldmasse zu tempern (Fig. 3). Das Aufbringen der Moldmasse auf das Substrat 1 kann einfach durch Drücken oder Dispensen erfolgen. Der zweckmäßige Tempervorgang
10 kann sowohl unmittelbar nach dem Aufbringen der Moldmasse, oder nach dem Aufbringen der Moldabdeckung 6 nach Abschluss des Montagevorganges vorgenommen werden.

15 Diese Ausgestaltung der Erfindung hat den Vorteil, dass die Substrate vorbehandelt werden können, ohne dass der technologische Ablauf des Montagevorganges beeinflusst wird.

5

10 Verpackung für Halbleiter-Bauelemente und Verfahren zum Her-
stellen derselben

Bezugszeichenliste

- 15 1 Substrat
2 Chip
3 Tape
4 Solderball
5 Bondkanalverschluss
20 6 Moldabdeckung
7 schwammartige Struktur

5

10 **Verpackung für Halbleiter-Bauelemente und Verfahren zum Her-
stellen derselben**

Patentansprüche

15 1. Verpackung für Halbleiter-Bauelemente, wie FBGA-Packages
 in BOC-Technologie o.dgl., bei denen mindestens die Rück-
 seite und die Seitenkanten eines auf einem Substrat mon-
 tierten Chips durch eine Moldabdeckung umschlossen sind,
 wobei die für die Moldabdeckung verwendete Vergussmasse
20 mit dem Substrat, eine kompakte Einheit bildend, verbunden
 ist, **dadurch gekennzeichnet**, dass das Substrat (1) zumin-
 dest partiell eine schwammartige mit porenförmigen Öffnun-
 gen versehene und von der Oberfläche in die Tiefe gehende
 Struktur (7) aufweist, so dass Moldmaterial durch Kapil-
25 larwirkung in das Substrat (1) eindringen kann.

 2. Verpackung nach Anspruch 1, **dadurch gekennzeichnet**, dass
 die gesamte Oberfläche des Substrates (1) eine schwammar-
 tige Struktur (7) aufweist.

30

 3. Verpackung nach Anspruch 1, **dadurch gekennzeichnet**, dass
 das Substrat (1) insgesamt eine schwammartige Struktur (7)
 aufweist.

35 4. Verpackung nach Anspruch 1, 2 oder 3, **dadurch gekennzeich-**

net, dass die schwammartige Struktur (7) durch partielles Entfernen des Epoxydharzanteiles im Substrat (1) erzeugt worden ist.

- 5 5. Verpackung nach Anspruch 4, **dadurch gekennzeichnet**, dass die schwammartige Struktur (7) durch Nass- oder Trockenätzen erzeugt worden ist.
- 10 6. Verpackung nach Anspruch 4 und 5, **dadurch gekennzeichnet**, dass das Substrat (1) teilweise mit einer Lötstopmmaske abgedeckt ist.
- 15 7. Verpackung nach Anspruch 1, 2 oder 3, **dadurch gekennzeichnet**, dass die schwammartige Struktur (7) durch mechanische Oberflächenbearbeitung des Substrates (1) erzeugt worden ist.
- 20 8. Verfahren zum Herstellen der Verpackung nach einem der Ansprüche 1 bis 7, **dadurch gekennzeichnet**, dass die Struktur, bestehend aus dem auf dem Substrat (1) fertig montierten Chip (2), vor dem Aufbringen der Moldabdeckung (6) mindestens auf die Schmelztemperatur der Moldmasse vorgewärmt wird.
- 25 9. Verfahren zum Herstellen der Verpackung nach einem der Ansprüche 1 bis 7, **dadurch gekennzeichnet**, dass die Struktur, bestehend aus dem auf dem Substrat (1) fertig montierten Chip (2) nach dem Aufbringen der Moldabdeckung (6) getempert wird.
- 30 10. Verfahren nach Anspruch 9, **dadurch gekennzeichnet**, dass das Tempern bei einer Temperatur um die Schmelztemperatur der Moldmasse erfolgt.
- 35 11. Verfahren nach einem der Ansprüche 1 bis 7, **dadurch ge-**

kennzeichnet, dass das Substrat (1) vor der Montage des Chips (2) partiell mit einer dünnen Schicht Moldmasse beschichtet und bei einer Temperatur um oder über der Schmelztemperatur getempert wird.

5

12. Verfahren nach Anspruch 11, dadurch gekennzeichnet, dass die Moldmasse auf das Substrat (1) gedruckt oder dispensiert wird.

10

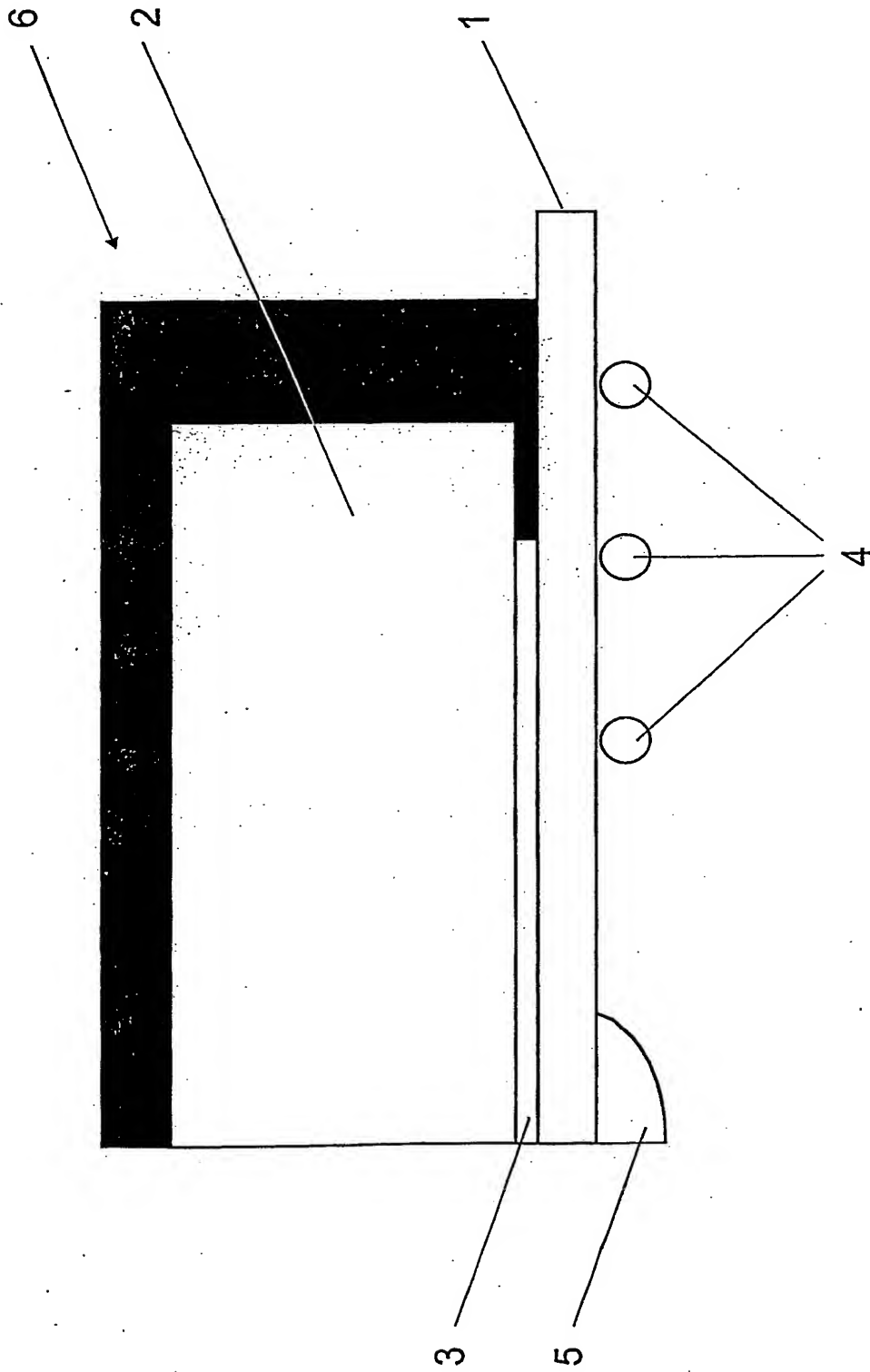


Fig. 1
(Stand der Technik)

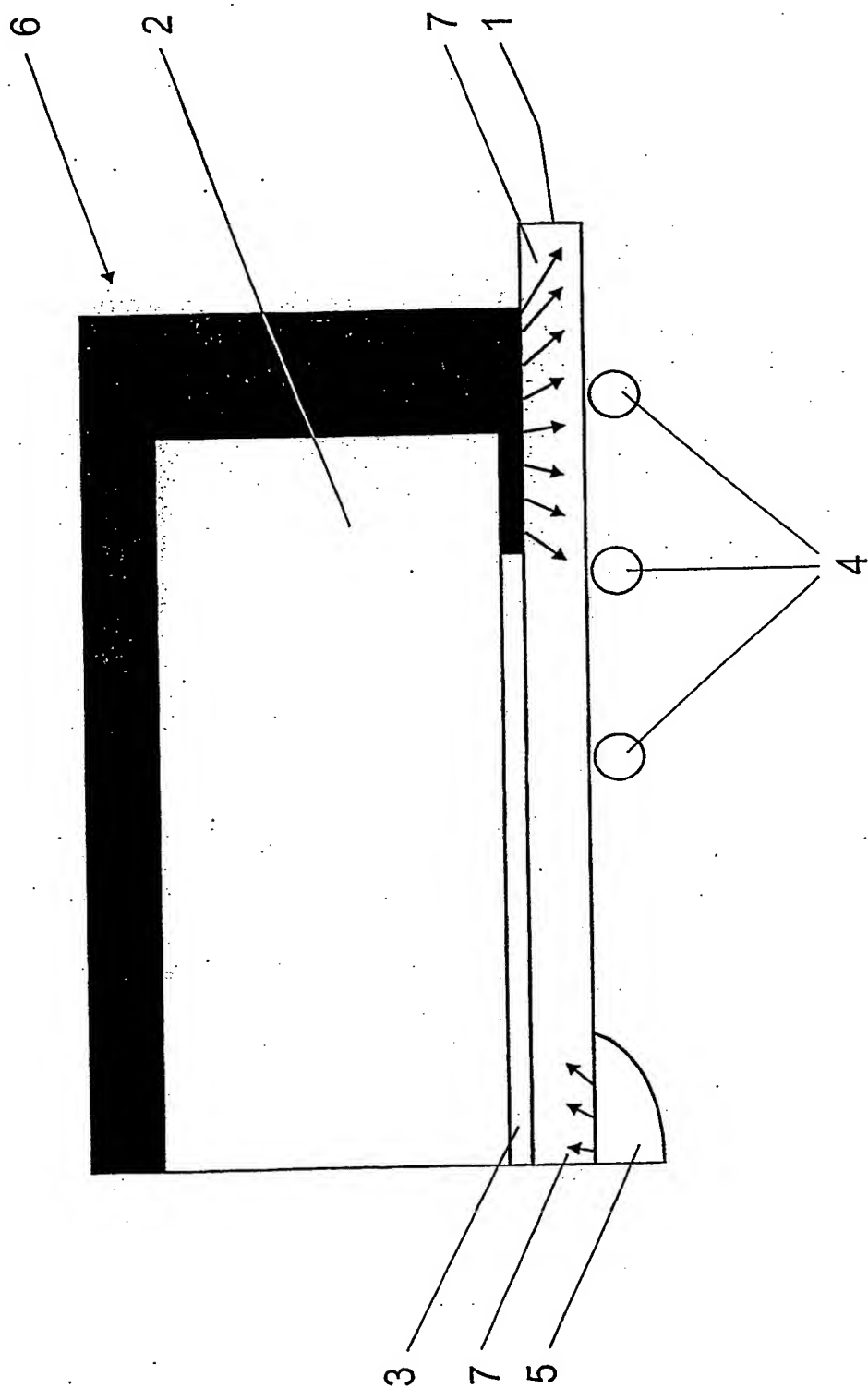


Fig. 2

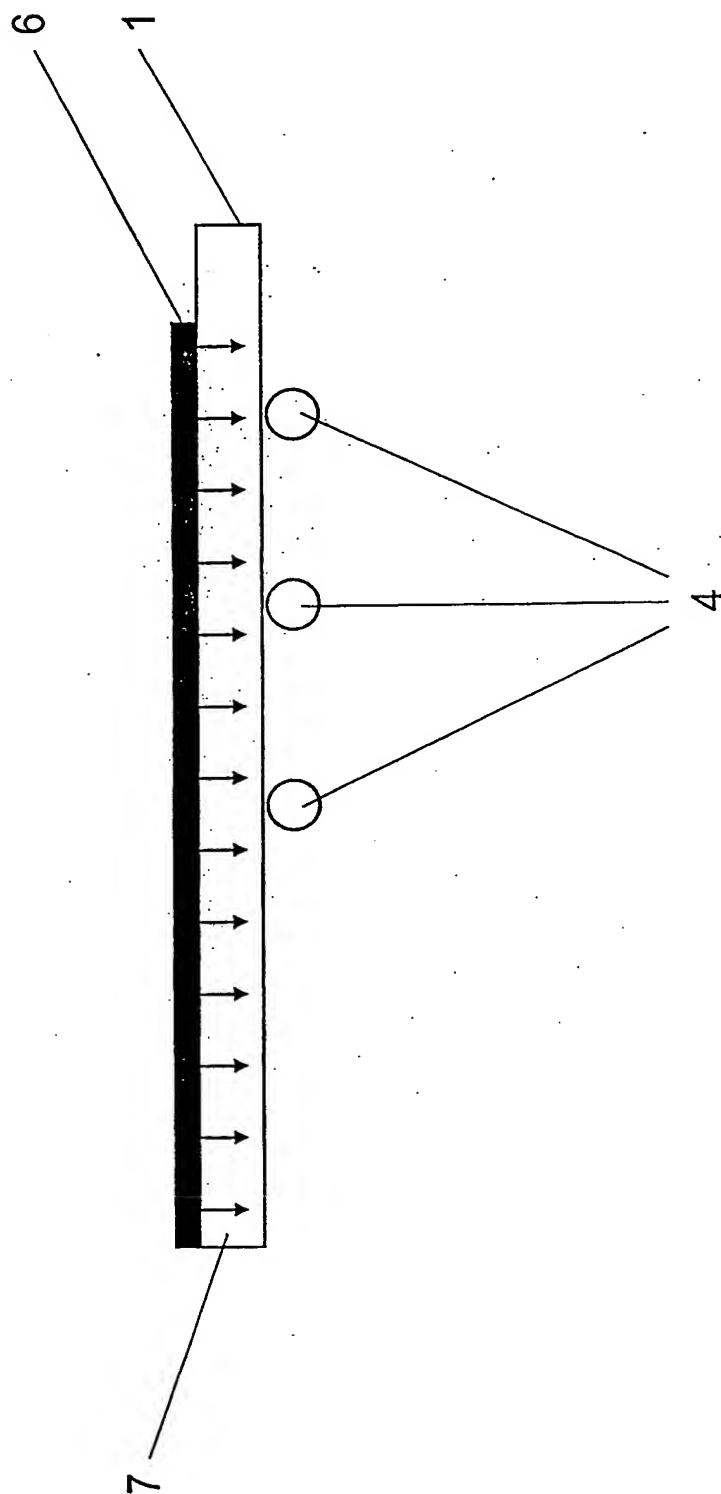


Fig. 3

INTERNATIONAL SEARCH REPORT

Int. Application No

PCT/D/03/01925

A. CLASSIFICATION OF SUBJECT MATTER
 IPC 7 H01L23/31 H01L21/56

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, PAJ, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	PATENT ABSTRACTS OF JAPAN vol. 0144, no. 48 (E-0983), 26 September 1990 (1990-09-26) & JP 2 178953 A (NEC CORP), 11 July 1990 (1990-07-11) abstract -& JP 02 178953 A (NEC CORP) 11 July 1990 (1990-07-11) the whole document	1,2
X	US 6 107 679 A (NOGUCHI TAKASHI) 22 August 2000 (2000-08-22) the whole document	1,5-7
A	US 2001/0026959 A1 (WU TIEN Y ET AL) 4 October 2001 (2001-10-04) the whole document	

☐ Further documents are listed in the continuation of box C.

☒ Patent family members are listed in annex.

* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search

24 October 2003

Date of mailing of the international search report

31/10/2003

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040, Tx: 31 651 epo nl,
 Fax: (+31-70) 340-3016

Authorized officer

Zeisler, P

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No
PCT/JP 03/01925

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
JP 2178953	A	11-07-1990	NONE	
US 6107679	A	22-08-2000	JP 11186468 A	09-07-1999
US 2001026959	A1	04-10-2001	US 6246124 B1	12-06-2001